

Dissertation zum Thema

Frequenzteiler mit niedriger Leistungsaufnahme

Dipl.-Ing. M. D. Pierschel



Innovations for High Performance microelectronics
 Beiträge für Mobilkommunikation/Networking

Abt. Schaltkreisentwurf
 Im Technologiepark 25
 D-15236 Frankfurt (Oder)



Lehrstuhl Mikroelektronik
 Universitätsplatz 3-4
 D-03044 Cottbus

07.11.2001

Folie 1

Frequenzteiler mit niedriger Leistungsaufnahme

Gliederung: 1. Systemebene

2. Subsystem CMOS-PLL

3. Frequenzteiler

3.1. Architekturen

3.2. Vorteile

4. Energieeffizienter Dual-Modulus Vorteiler

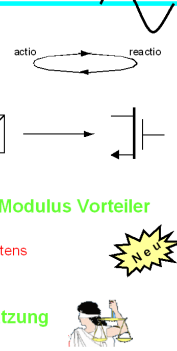
4.1. Das 'lost cycle' Prinzip

4.2. Die Steuerung des Umschaltens

4.3. CMOS Testschaltung

5. Benchmark / Trendschätzung

6. Weitere Arbeiten



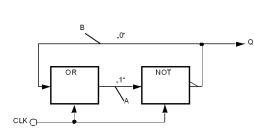
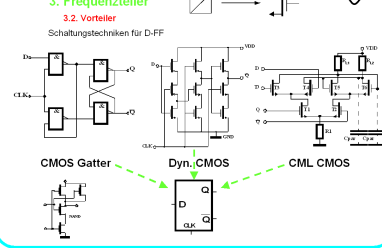
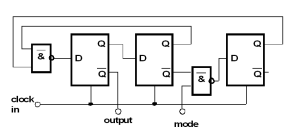
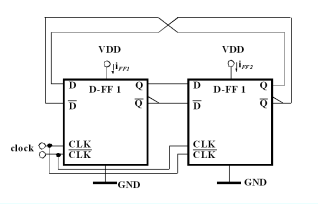
07.11.2001

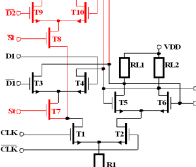
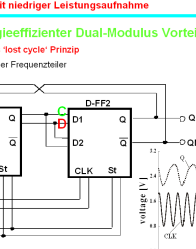
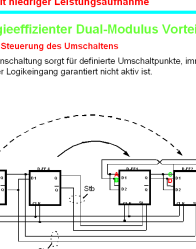
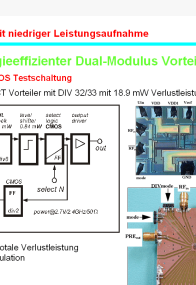
Dipl.-Ing. M. D. Pierschel

Folie 2

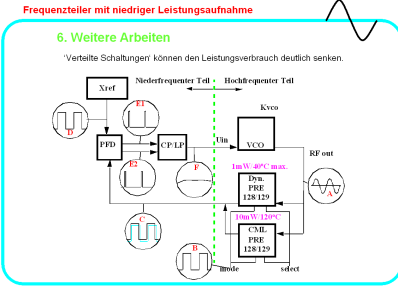
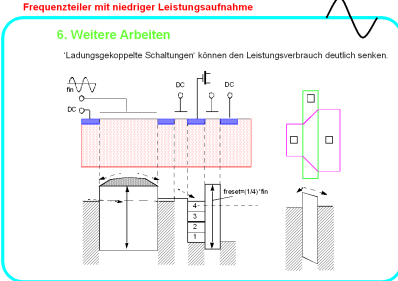
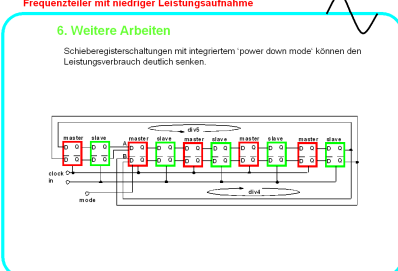
Dissertation

<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>1. Systemebene</p> <p>Die Frequenzsynthese ist ein zentraler Teil in modernen Telekommunikationssystemen.</p> <p>Sende- und Empfangsschaltung für den 2.4 GHz Bereich</p> <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Folie 3</p>	<p>1. Einordnung des Arbeitsgebietes auf der Systemebene.</p> <p>PLL Schaltungen stellen einen zentralen Schaltungsblock in Transceivern dar.</p> <p>Die Schaltungen mit dem größten Leistungsbedarf sind gegenwärtig der HF-Leistungsverstärker, der LNA und die Frequenzsynthese.</p> <p>Ein geringerer Leistungsbedarf dieser Schaltungen unter Garantie der von den Standards (GSM, DECT) geforderten Betriebswerte kann die Batterielebensdauer mobiler Systeme deutlich vergrößern.</p>	S. 03-5
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>2. Subsystem CMOS-PLL</p> <p>Nahezu 100% der gesamten Betriebsenergie werden in VCO und Prescaler umgesetzt.</p> <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Folie 4</p>	<p>2. Analyse des Leistungsverbrauches und Beschreibung des Subsystem einer PLL Schaltung.</p> <p>Im hochfrequenten Teil der Schaltung wird nahezu die gesamte Verlustleistung einer PLL umgesetzt.</p> <p>Je nach gefordertem Standard benötigt der Frequenzteiler ca. 75% bis 95% der Gesamtverlustleistung einer solchen PLL Schaltung.</p>	S. 09 ff.
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>3. Frequenzteiler</p> <p>3.1. Architekturen</p> <p>Der Vorteiler eines Frequenzteilers benötigt ca. 80% bis 95% der gesamten Betriebsenergie.</p> <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Folie 5</p>	<p>3. Erläuterung gebräuchlicher Architekturen von Frequenzteilern.</p> <p>Auch hier benötigt der Hochfrequenzvorteiler den Löwenanteil der gesamten Verlustleistung.</p> <p>Moderne Systeme nutzen Dual-Mode Frequenzteiler in einer Integer-N Architektur.</p>	S. 30 ff.

<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>3. Frequenzteiler 3.2. Vorteiler</p> <p>Frequenzteiler benötigen zwei unabhängige Schaltungsknoten A, B zum speichern der Logikpegel.</p>  <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Folie 6</p>	<p>4. Zur Theorie der Frequenzteilung.</p> <p>Darstellung des Grundprinzips digitaler binärer Frequenzteiler.</p> <p>Ein Eingangstaktsignal steuert die wechselseitige Abspeicherung einer logischen '1' und '0' auf zwei Schaltungsknoten in einer Ringschaltung. Damit entsteht an beiden Schaltungsknoten ein Signal der halben Takteingangsfrequenz.</p>	S. 36
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>3. Frequenzteiler 3.2. Vorteiler</p> <p>Schaltungstechniken für D-FF</p>  <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Folie 7</p>	<p>5. Betrachtung möglicher Schaltungstechniken.</p> <p>Drei grundsätzliche Schaltungstechniken werden vorgestellt.</p> <p>Jede dieser Techniken hat Vor- und Nachteile sowie fundamentale Begrenzungen bezüglich Arbeitsfrequenzen, Verlustleistungen, Signalpegel, thermischer Stabilitäten sowie Störfestigkeit.</p> <p>Das Delay-Flip-Flop, D-FF, ist die Basis von digitalen Frequenzteilern.</p>	S. 36-42
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>3. Frequenzteiler 3.2. Vorteiler</p> <p>DIV4/5: Der Standard für DECT Systeme</p>  <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Folie 8</p>	<p>6. Aufbau von Standard Frequenzteilern.</p> <p>Standardfrequenzteiler sind aus Binärteilern mit im Signalpfad befindlichen Logikschaltungen aufgebaut.</p> <p>Die Logikschaltungen begrenzen die erreichbare Schaltfrequenz, da damit zusätzliche Verzögerungszeiten auftreten.</p> <p>In einer CMOS Technologie wird die erreichbare Frequenz durch Logikblöcke im Teilerring etwa halbiert.</p>	S. 31
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>3. Frequenzteiler 3.2. Vorteiler</p> <p>Frequenzteiler in Standard CML Schaltungstechnik</p>  <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Folie 9</p>	<p>7. Aufbau von Standard Frequenzteilern in CML Schaltungstechnik.</p> <p>Differentielle Signale sind unempfindlicher gegen Störungen und ermöglichen eine sehr einfache Signalinversion. Die Schaltungen sind auf Grund des Arbeitspunktstromes sehr empfindlich und ermöglichen damit kleine nutzbare Signaleingangspegel.</p> <p>Sie besitzen eine wenig frequenzabhängige Verlustleistung und können mit temperaturstabilisierten Stromquellen ausgestattet werden. Der Arbeitspunktstrom bestimmt die erreichbare Frequenz und die Gesamtverlustleistung.</p>	S. 41 ff

<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>4. Energieeffizienter Dual-Modulus Vorteiler</p> <p>4.1. Das 'lost cycle' Prinzip</p> <p>Schaltungserweiterung im CML CMOS D-FF</p>  <p>07.11.2001 Dipl.-Ing. M. D. Pleschall Seite 10</p>	<p>8. Neuartige Schaltungserweiterung in CML D-FF's.</p> <p>Die Schaltung eines Standard CML D-FF wurde modifiziert. Ein weiteres Eingangstransistorpaar und die zugehörigen Umschalttransistoren ergänzen die Schaltung (rot dargestellt).</p> <p>Damit sind bei nur unwesentlich abfallender Leistungsfähigkeit zusätzliche logische Funktionen realisierbar. Insbesondere kann jetzt zwischen den beiden integrierten Eingängen umgeschaltet werden, wobei dann der jeweils andere Eingang ungenutzt bleibt.</p>	<p>S. 45</p>
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>4. Energieeffizienter Dual-Modulus Vorteiler</p> <p>4.1. Das 'lost cycle' Prinzip</p> <p>Neuartiger Frequenzteiler</p>  <p>07.11.2001 Dipl.-Ing. M. D. Pleschall Seite 11</p>	<p>9. Neuartiger Frequenzteiler unter Verwendung des modifizierten CML D-FF's.</p> <p>Die Funktion des modifizierten Johnson-Teilerringes insbesondere beim Umschalten der Eingänge wird erläutert.</p> <p>Die Schaltung ermöglicht eine Division des Eingangssignales durch 2 und bietet zusätzlich die Möglichkeit einzelne Eingangstaktperioden Auszublenden.</p>	<p>S. 47 ff. und S. 51-56</p>
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>4. Energieeffizienter Dual-Modulus Vorteiler</p> <p>4.2. Die Steuerung des Umschaltens</p> <p>Synchronschaltung sorgt für definierte Umschaltzeitpunkte, immer dann, wenn der Logikeingang garantiert nicht aktiv ist.</p>  <p>07.11.2001 Dipl.-Ing. M. D. Pleschall Seite 12</p>	<p>10. Die Synchronisation der Umschaltssignale zum HF-Eingangstaktsignal.</p> <p>Damit können fehlerhafte Schaltsignale sicher verhindert werden.</p> <p>Die zusätzlich erforderlichen Synchron D-FF benötigen auch eine zusätzliche Verlustleistung.</p>	<p>S. 50</p>
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>4. Energieeffizienter Dual-Modulus Vorteiler</p> <p>4.3. CMOS Testschaltung</p> <p>Ein DECT Vorteiler mit Div 32/33 mit 18.9 mW Verlustleistung.</p>  <p>18.9 mW totale Verlustleistung in der Simulation</p> <p>07.11.2001 Dipl.-Ing. M. D. Pleschall Seite 13</p>	<p>11. Die CMOS Testschaltung (0.4µm TSMC CMOS).</p> <p>Erläuterung der Schaltungsblöcke, Chip und Platinenlayout.</p> <p>Verlustleistung innerhalb der Schaltung bei 2.4 GHz:</p> <ul style="list-style-type: none"> 7mW im Synchronblock 3.1 mW im Vorteiler div2/3 3.1 mW im CML div8 Block 0.84 mW in Pegelwandlern CML->CMOS Logik 	<p>S. 60 ff.</p>

<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>4. Energieeffizienter Dual-Modulus Vorteiler</p> <p>4.3. CMOS Testschaltung</p> <p>Bestätigung des Prinzips, Leistungsaufnahme exakt wie in der Simulation, Temperaturstabilität</p> <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Folie 14</p>	<p>12. Messungen an der Testschaltung.</p> <p>Die Messungen bestätigen die Funktion des Grundprinzips auch bei hohen Frequenzen.</p> <p>Die Verlustleistung liegt in dem aus der Simulation erwarteten Bereich. Die Schaltung besitzt eine gute Eingangsempfindlichkeit und die erwartete Temperaturabhängigkeit bis 120 °C (keine kompensierten Quellen).</p>	S. 65 ff.
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>5. Benchmark / Trendschätzung</p> <p>Vergleichbare Frequenzteiler im Bereich um 2 GHz benötigen mehr als 50 mW Leistung</p> <p>Dual-Modulus Prescalers 1985-2000 (CMOS and SiMOX)</p> <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Folie 15</p>	<p>13. Der Vergleich mit anderen CMOS Frequenzteilern.</p> <p>Vergleichbare Frequenzteiler im Bereich um 2 GHz mit div128/129 benötigen mehr als 50 mW Verlustleistung.</p>	S. 70
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>5. Benchmark / Trendschätzung</p> <p>Vergleich mit Frequenzteilern, die in anderen Technologien gefertigt wurden.</p> <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Folie 16</p>	<p>14. Der Vergleich mit Frequenzteilern in anderen Technologien (Binäre und Dual-Mode Frequenzteiler).</p> <p>Effizientere Designs zeigen die Tendenz in den rechten unteren Bereich der Grafik zu gelangen.</p> <p>Die neuartigen CMOS Schaltungen erreichen die eingezeichnete Frequenz-Leistungsgrenze. In dem dahinter folgenden Bereich sind GaAs und einzelne Bipolartechnologien vertreten.</p>	S. 71
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>5. Benchmark / Trendschätzung</p> <p>Trendschätzung mit einer kürzeren Kanallänge der verwendeten MOS Transistoren.</p> <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Folie 17</p>	<p>15. Trendschätzung der Verlustleistungsaufnahme als Funktion der Transistorkanallänge.</p> <p>Moderne CMOS Technologien mit Kanallängen unter 180 nm lassen monolithisch integrierte PLL-Schaltungen mit weniger als 8 mW Gesamtleistungsaufnahme erwarten.</p>	S. 73

<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>6. Weitere Arbeiten</p> <ul style="list-style-type: none"> Schaltungen ohne Synchron FF Suche nach Schaltungen, die die Verwendung von synchron D-FF vermeiden (selbstsynchronisierende Schaltungen). Reduzierte Leistungsaufnahme der synchron D-FF Temperaturkompensation der Stromquellen in der Schaltung => weiter gesenkter Leistungsverbrauch 'Verteilte Schaltungen' auf Subsystemebene Untersuchung 'Ladungskoppelter Schaltungen' Als höchste Form dynamischer Schaltungstechniken Schieberegister Schaltungstechniken mit integrierten 'power down mode' <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Seite 19</p>	<p>16. Weitere Arbeiten.</p> <p>Vorschläge für weiterführende Arbeiten.</p>	<p>S. 75 ff.</p>
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>6. Weitere Arbeiten</p> <p>'Verteilte Schaltungen' können den Leistungsverbrauch deutlich senken.</p>  <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Seite 19</p>	<p>17. Durch Veränderung an der Architektur auf der Teilsystemebene können beträchtliche Verlustleistungsanteile einer PLL minimiert werden.</p> <p>'Verteilte' Schaltungen ermöglichen ein Design welches einerseits die Systemanforderungen in allen Betriebsbereichen sicherstellt, andererseits die Energieeffizienz unterstützt.</p>	<p>S. 76</p>
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>6. Weitere Arbeiten</p> <p>'Ladungskoppelte Schaltungen' können den Leistungsverbrauch deutlich senken.</p>  <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Seite 20</p>	<p>18. Dynamisch betriebene Schaltungen besitzen noch Reserven.</p> <p>Im Idealfall werden statt eines Stromes nur noch diskrete sogenannte 'Ladungspakete' genutzt.</p> <p>Die CMOS Technologie bietet Möglichkeiten für die Implementierung derartiger Techniken.</p>	<p>S. 77</p>
<p>Frequenzteiler mit niedriger Leistungsaufnahme</p> <p>6. Weitere Arbeiten</p> <p>Schieberegisterschaltungen mit integriertem 'power down mode' können den Leistungsverbrauch deutlich senken.</p>  <p>07.11.2001 Dipl.-Ing. M. D. Pierschel Seite 21</p>	<p>19. Auch Schieberegisterringe bieten möglicherweise weiter interessante Ansätze für energieeffiziente Multi-Mode Frequenzteiler.</p> <p>Die entsprechenden Ansätze wurden aus Zeitgründen nicht weiter verfolgt. Diese Schaltungstechnik stellt jedoch noch ein erhebliches Potential für energieeinsparende Schaltungen bereit. Insbesondere könnte mit den hier vorgestellten modifizierten D-FF das Problem der erforderlichen Initialisierung gelöst werden.</p>	<p>S. 43-44 und S. 77</p>

Frequenzteiler mit niedriger Leistungsaufnahme

Ich bedanke mich bei :

Herrn Prof. Dr. A. Ourmazd
Herrn Prof. Dr. P. Weger
Herrn Dr. H. Gustat
Herrn Dr. W. Winkler
Herrn Prof. Dr. B. Falter

Sowie allen Mitarbeitern des IHP und der TU Cottbus
für die Hinweise, Ratschläge, Hilfe und Unterstützung.

